

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335756

(43)Date of publication of application : 18.12.1998

(51)Int.CI.

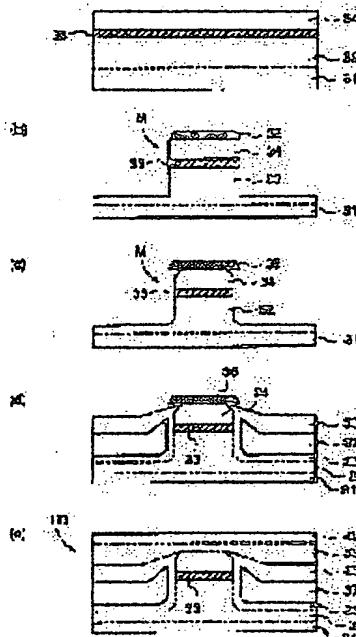
H01S 3/18
H01L 21/3065(21)Application number : 09-147952
(22)Date of filing : 05.06.1997(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : SUZUKI DAISUKE
KIMURA TATSUYA
TAKIGUCHI TORU

(54) MANUFACTURE OF SEMICONDUCTOR LASER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the good device characteristics of a semiconductor laser, by a method wherein a mesa structure part formed by performing a dry etching treatment is held or heated up in a chlorine-containing atmosphere.

SOLUTION: A P-type InP buffer layer 32, an InGaAsP active layer 33 and an N-type InP clad layer 34 are grown in order on a P-type InP substrate 31. Then, an SiO₂ masking material 35 is formed in the orientation [110]. Then, a formed double heterogrowth wafer is treated by etching using etching gas. At this time, damaged layers are respectively formed on the side surfaces of a formed mesa structure part M. For removing these damaged layers, the part M is held in a chlorine-containing atmosphere to perform an additional etching on the side surfaces of the part M. Then, an N-type InP current blocking layer 37 and a P-type InP current blocking layer 38 are respectively grown in order on both sides of the part M. Then, after the material 35 is removed, an N-type InP current blocking layer 39 and an N-type InP contact layer 40 are grown in order and a wafer is cleaved.



LEGAL STATUS

[Date of request for examination] 06.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335756

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 21/3065

H 0 1 L 21/302

N

審査請求 未請求 請求項の致3 OL (全7頁)

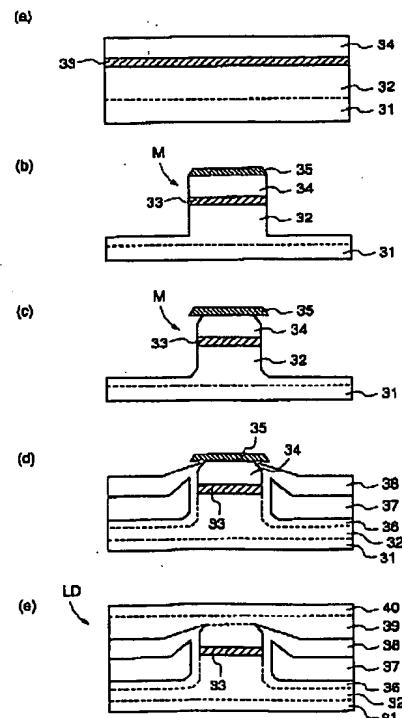
(21)出願番号	特願平9-147952	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成9年(1997)6月5日	(72)発明者	鈴木 大輔 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	木村 達也 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	瀧口 透 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	弁理士 早瀬 勝一

(54)【発明の名称】 半導体レーザの製造方法

(57)【要約】

【課題】ドライエッチングによりメサ構造部を形成するものであって、しかも低いしきい値電流特性を有し且つ温度特性の良い半導体レーザを製造する方法を提供する。

【解決手段】ドライエッチングにより生じたダメージ層を、ドライエッチング後に塩素を含むガスで追加エッチングして除去する工程を設けた。



【特許請求の範囲】

【請求項1】 メサ構造部を有する半導体レーザの製造方法において、

半導体基板上に、バッファ層、活性層およびクラッド層を順次積層してダブルヘテロ成長層を形成する第1の工程と、

第1の工程により形成されたダブルヘテロ成長層にドライエッチング処理を施してメサ構造部を形成する第2の工程と、

第2の工程後、形成されたメサ構造部を、塩素を含むガス雰囲気中で保持または昇温する第3の工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項2】 請求項1記載の半導体レーザの製造方法において、

上記塩素を含むガスは、塩化水素(HCl)、四塩化炭素(CCl₄)、塩化メチル(CH₃Cl)のうちのいずれかであることを特徴とする半導体レーザの製造方法。

【請求項3】 請求項1または2記載の半導体レーザの製造方法において、

上記塩素を含むガスは、塩化水素であり、

当該塩化水素ガスの濃度は10%以下で且つその流量は1000cc/m in以下であり、

エッチング温度は、300°C以上750°C以下であることを特徴とする半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、メサ構造を有する半導体レーザの製造方法に関するものであり、特に、このメサ構造をドライエッチング技術により形成する半導体レーザの製造方法に関するものである。

【0002】

【従来の技術】 近年、光通信システムの普及により大容量の高速伝送が行われており、今後は、光デバイスチップを装着したボード間あるいはボード内を電気配線するのではなく、光ファイバや光導波路にて接続することによって、モジュールサイズの縮小とともに大容量高速伝送が可能になるものと思われる。

【0003】 ところで、半導体装置における光導波路を作製する手段として、半導体ウェハ上に作製したマスクを利用してエッチングプロセスによりメサ構造を形成し、それを別の半導体層で埋め込むという手法が用いられている。この半導体層を埋め込む手法としては、MOCVD (Metalorganic Chemical Vapor Deposition) 法等が採用されている。また、メサ構造を形成する手段としては、従来から一般的にウェットエッチングが用いられてきた。

【0004】 一例として、かかるウェットエッチングにより形成されたメサ構造を有するP型InP基板上半導体レーザの作製フローの概略を図4に示す。

【0005】 参照符号1は、P-InPウェハである。P-InPウェハ1の面方位は[001]である。このP-InPウェハ1上に、P-InPバッファ層2 ($1 \times 10^{18} \text{ cm}^{-3}$) を $1.8 \mu\text{m}$, $1.3 \mu\text{m}$ 帯InGaAsP活性層3 (アンドープ) を $0.1 \mu\text{m}$ およびn-InPクラッド層4 ($1 \times 10^{18} \text{ cm}^{-3}$) を $0.7 \mu\text{m}$ 、順次MOCVD法等により成長させる(図4(a)の活性層成長工程参照)。これにより、ダブルヘテロ成長ウェハが形成される。

【0006】 次に、(110)方向にSiO₂マスク材5(選択成長マスク)を形成する(幅 $1.5 \mu\text{m}$)。そして、HBrなどのエッチング液を用いたウェットプロセスにて、[110]方向に上記ダブルヘテロ成長ウェハをエッチング処理してメサ構造Mを形成する。この場合、メサ構造Mの高さhは、たとえば $2.5 \mu\text{m}$ に設定することができる(図4(b)のメサ構造形成工程参照)。

【0007】 次に、MOCVD法等を用いて、P-InP埋込層6 ($8 \times 10^{17} \text{ cm}^{-3}$) を $0.7 \mu\text{m}$, n-InP電流プロック層7 ($7 \times 10^{18} \text{ cm}^{-3}$) を $0.8 \mu\text{m}$ およびP-InP電流プロック8 ($8 \times 10^{17} \text{ cm}^{-3}$) を $1.0 \mu\text{m}$ 、順次結晶成長させる(図4(c)の埋込成長工程参照)。このとき、n-InP電流プロック層7は、成長停止面である(111)面が形成されることにより、当該n-InP電流プロック層7とn-InPクラッド層4との接触を回避することができる。

【0008】 さらに、SiO₂選択マスク材5を除去し、その後、n-InPクラッド層9 ($1 \times 10^{18} \text{ cm}^{-3}$) を $1.5 \mu\text{m}$ およびn-InPコンタクト層10 ($7 \times 10^{18} \text{ cm}^{-3}$) を $0.5 \mu\text{m}$ 、順次成長させる(図4(d)のコンタクト層成長工程参照)。

【0009】 その後、当該ダブルヘテロ成長ウェハの表面および裏面に電極を形成し、前面および後面を劈開・コーティングすることにより半導体レーザが完成する。

【0010】 以上のような製造方法では、メサ構造Mの側面をサイドエッチするためにSiO₂マスク材5にひさしを形成したが、このひさしのついたマスク材5のためにうまくメサを埋め込むことができる(参考文献; Ohkura et al., Electronics Letter, 28 (1992) p. 1844-1845)。また、参考文献にあるようにメサ構造Mの側面が連続的な面であることから、結晶成長が容易であった。

【0011】 しかし、ウェットプロセスでは、メサ構造Mの幅寸法の制御性が悪く、サイドエッチのために幅の細いメサ構造Mを形成することは困難である。また、エッチング形状が結晶方位に大きく依存するため、上記ダブルヘテロ成長ウェハ上に、任意の方向に光導波路を形成するのは非常に困難であった。

【0012】 一方、ドライエッチングによりメサ構造を形成する場合は、結晶の面方位には無関係に任意の方向

にメサ構造を形成することができるため、光導波路を形成するのに有利である。しかも、エッチングによるメサ構造の幅寸法の制御性や面内均一性が良いため、歩留まり向上に役立ち、大幅なコストダウンにつながるという非常に有益な方法である。そして、近年では、ようやくドライエッチングにより形成したメサ構造を有する半導体レーザのデバイスへの適用について、IEEE PHOTONICS TECHNOLOGY LETTERS vol. 5, No. 3, March 1993 pp. 279-280、電子情報通信学会エレクトロニクスソサイエティ大会論文集C-292, p. 292等に報告されはじめている。

【0013】ところで、その報告では、ドライエッチングによるメサ構造の側面の物理的ダメージが半導体レーザのレーザ特性の悪化の原因となっていることが明らかにされている。すなわち、ドライエッチングによりメサ構造を形成した場合の半導体レーザのレーザ特性は、ウェットエッチングによりメサ構造を形成した場合の半導体レーザのレーザ特性に劣ることが分かっている。ところが、メサ構造の側面を0.1 μm程度あるいはそれ以上追加ウェットエッチングすることにより、レーザ特性が向上し、ウェットエッチングによりメサ構造を形成した場合の半導体レーザのレーザ特性と同等になるとも報告されている。

【0014】図5は、ドライエッチングによりメサ構造を形成した場合の半導体レーザの作製フローである。

【0015】参照符号11は、P-InPウェハであり、その面方位は(001)である。そして、このP-InPウェハ11上に、P-InPバッファ層12(1×10¹⁸cm⁻³)を1.8 μm, 1.3 μm帯InGaAsP活性層13(アンドープ)を0.1 μmおよびn-InPクラッド層14(1×10¹⁸cm⁻³)を0.7 μm、順次MOCVD法等により成長させる(図5(a)活性層成長)。次に、[110]方向にSiO₂マスク材15(選択成長マスク)を形成する(幅1.5 μm)。これにより、ダブルヘテロ成長ウェハが形成される。

【0016】次に、CH₄/H₂系などのRIEを用いたドライプロセスにて、[110]方向に当該ダブルヘテロ成長ウェハをエッチング処理し、メサ構造Mを形成する。メサ構造Mの高さhは、たとえば2.0 μmに設定することができる(図5(b)のメサ形成工程参照)。

【0017】次にドライエッチングによるメサ構造Mの側面の物理的ダメージ層を取り除くために、メサ構造Mの側面を、0.1 μm程度あるいはそれ以上追加ウェットエッチングする(図5(c)のダメージ層除去工程参照)。

【0018】そして、P-InP埋込層16(8×10¹⁷cm⁻³)を0.2 μm, n-InP電流ブロック層17(7×10¹⁸cm⁻³)を1.2 μmおよびP-InP電流ブロック層18(8×10¹⁷cm⁻³)を0.6 μm、順次成長させる(図5(d)埋込成長)。

【0019】さらに、SiO₂マスク材15を除去した後、n-InPクラッド層19(1×10¹⁸cm⁻³)を1.5 μmおよびn-InPコンタクト層20(7×10¹⁸cm⁻³)を0.5 μm、順次成長させる(図5(e)コンタクト成長)。

【0020】その後、上記ダブルヘテロ成長ウェハの表面および裏面に電極を形成し、また、前面および後面を劈開・コーティングすることにより、半導体レーザが完成する。

【0021】

【発明が解決しようとする課題】しかしながら、上記のような従来の半導体レーザの製造方法では、ドライエッチングによりメサ構造Mを形成した後、ウェットエッチングを追加するようしているので、せっかく均一性良く形成したメサ構造の幅寸法及び高さ寸法を変化させてしまうこととなる。このため、ドライエッチングによる寸法制御性の良さ等の利点を生かせない結果を招いていた。

【0022】本発明は、かかる背景に基づいてなされたものであり、ドライエッチングプロセスにより、メサ構造を良好に形成し、良好なデバイス特性を得ることができる半導体レーザの製造方法を提供するものである。

【0023】

【課題を解決するための手段】本発明(請求項1)に係る半導体レーザの製造方法は、メサ構造部を有する半導体レーザの製造方法において、半導体基板上に、バッファ層、活性層およびクラッド層を順次積層してダブルヘテロ成長層を形成する第1の工程と、第1の工程により形成されたダブルヘテロ成長層にドライエッチング処理を施してメサ構造部を形成する第2の工程と、第2の工程後、形成されたメサ構造部を、塩素を含むガス雰囲気中で保持または昇温する第3の工程とを含むことを特徴とするものである。

【0024】本発明(請求項2)に係る半導体レーザの製造方法は、請求項1記載の半導体レーザの製造方法において、上記塩素を含むガスは、塩化水素(HCl)、四塩化炭素(CCl₄)、塩化メチル(CH₃Cl)のうちのいずれかであることを特徴とするものである。

【0025】本発明(請求項3)に係る半導体レーザの製造方法は、請求項1または2記載の半導体レーザの製造方法において、上記塩素を含むガスは、塩化水素であり、当該塩化水素ガスの濃度は10%以下で且つその流量は1000cc/min以下であり、エッチング温度は、300°C以上750°C以下であることを特徴とするものである。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について説明する。図1は、本実施の形態に係る半導体装置としての半導体レーザLDの内部構造を示す模式図である。図1に示すように、本半導体レーザLDは、メサ構

造部Mを有している。半導体レーザLDの積層構造について説明すると、参考符号31は、P-InP基板であつて、その面方位は(001)である。この半導体基板31には、次に示す各層が積層されており、ダブルヘテロ成長ウェハを形成している。すなわち、半導体基板31には、P-InPバッファ層32、1.3μm帯InGaAsP活性層33およびn-InPクラッド層34が順次積層されている。また、メサ構造部Mの両側には、P-InP埋込層36、n-InP電流ブロック層37およびP-InP電流ブロック層38が順次積層されている。さらに、n-InPクラッド層39およびn-InPコンタクト層40が順次積層されている。なお、図示していないが、当該ダブルヘテロ成長ウェハの表面および裏面には、電極が形成されている。

【0027】次に、図2および図3を参照して、本半導体レーザLDの製造方法について説明する。図2(a)を参照して、P-InP基板1は、面方位が(001)である。そして、このP-InP基板31上に、P-InPバッファ層32($1 \times 10^{18} \text{ cm}^{-3}$)を1.8μm、1.3μm帯InGaAsP活性層33(アンドープ)を0.1μmおよびn-InPクラッド層34($1 \times 10^{18} \text{ cm}^{-3}$)を0.7μm、順次たとえばMOCVD法により成長させる(第1の工程:活性層成長)。

【0028】次に、図2(b)を参照して、[110]方向に、SiO₂マスク材35(選択成長マスク)を形成する。この場合、SiO₂マスク材35の幅寸法は、たとえば1.5μmに設定することができる。次いで、たとえばCH₄/H₂系等のエッティングガスを用いて、上記形成したダブルヘテロ成長ウェハをエッティング処理する。この処理は、RIEを用いたドライプロセスであり、これにより、[110]方向にメサ構造部Mを形成する。この場合、メサ構造部Mの高さ寸法は、たとえば2.0μmに設定することができる(第2の工程:メサ構造部形成)。

【0029】このように形成したメサ構造部Mの側面は、エンチングガスにより物理的ダメージ層が形成されている。そこで、次に、このダメージ層を除去する処理を行う。すなわち、塩素を含むガスを用いて、所定温度の反応炉内で所定時間保持する。これにより、上記メサ構造部Mの側面を追加エッティングする。

【0030】具体的には、図2(c)を参照して、たとえば、H₂で0.5%に希釈されたHClガスを用いる。そして、流量は、たとえば50cc/minに設定し、反応炉内温度を625°Cに設定する。そして、この反応炉内で5分間保持することにより、面方位(1/10)近傍のメサ構造部Mの側面のみを選択的に0.1μm程度、追加エッティングすることができる(第3の工程:ダメージ層除去)。

【0031】また、本実施の形態では、H₂で0.5%に希釈されたHClガスを用いたが、HClガスの他、

四塩化炭素(CCl₄)または塩化メチル(CH₃Cl)を採用することもできる。さらに、本実施の形態では、塩素を含むガスの流量を50cc/minに設定したが、これに限らず、流量は1000cc/min以下に設定することができる。また、反応炉内の温度を625°Cに設定したが、これに限らず、300°C以上750°C以下に設定することができる。

【0032】次に、図2(d)を参照して、メサ構造部Mの両側に積層形成する埋込成長層について説明する。まず、P-InP埋込層36($8 \times 10^{17} \text{ cm}^{-3}$)を、たとえば0.2μm、n-InP電流ブロック層37($7 \times 10^{18} \text{ cm}^{-3}$)を、たとえば1.2μmおよびP-InP電流ブロック層38($8 \times 10^{17} \text{ cm}^{-3}$)を、たとえば0.6μm順次成長させる。

【0033】次いで、図2(e)に示すように、SiO₂マスク材35を除去した後、n-InPクラッド層39($1 \times 10^{18} \text{ cm}^{-3}$)を1.5μmおよびn-InPコンタクト層40($7 \times 10^{18} \text{ cm}^{-3}$)を0.5μm、順次成長させる(コンタクト層成長)。その後、当該ダブルヘテロ成長ウェハの表面および裏面を劈開・コーティングすることにより、半導体レーザLDが完成する。

【0034】次に、図3を参照して、本実施の形態の特徴である上記第3の工程について、その作用効果と共に説明する。本実施の形態では、ドライエッティングによりメサ構造部Mを形成した後(図3(a)の状態)、塩素を含むガス、たとえばHClガスを用いてエッティングを行うので、次のような作用効果を奏する。すなわち、HClガスを用いてエッティングすると、SiO₂マスク材35の端部に対応する位置41とメサ構造部Mの裾部42に(111)B面が形成され、且つ面方位(1/10)の面の近傍であるメサ構造部Mの側面43がエッティングされる。しかも、メサ構造部Mの側面43に比べ、面方位(001)の面の近傍のメサ構造部Mの底面44は、ほとんどエッティングされない。つまり、メサ構造部Mの側面43のみを選択的にエッティングできる。これにより、ドライエッティングにおけるメサ構造部Mの高さ寸法hを保持したまま、ドライエッティングによる上記物理的ダメージ層を取り除くことが可能である。

【0035】この時のメサ構造部Mの側面43のエッティング速度は、上述の条件、すなわち、反応炉温度625°C、且つHCl(H₂希釈0.5%)流量50cc/minの条件で、約0.02μm/minである。また、HCl流量を100cc/minとすれば、エッティング速度は、約0.04μm/minである。これにより、面方位(1/10)の面の近傍のメサ構造部Mの側面43を制御性良くエッティングすることができる。

【0036】ところで、一般に、半導体レーザLDのレーザ特性を劣化させる原因として、埋込層(上記P-InP埋込層36、n-InP電流ブロック層37およびP-InP電流ブロック層38)の品質が挙げられる。

つまり、図1に示すように、活性層33とn-InPクラッド層39との層間距離（以下、「リークパス幅」という。）並びにn-InP電流ブロック層37の位置の制御が必要になる。

【0037】リークパス幅は、活性層33以外を流れる無効電流I₁, I₂, I₃を極力なくすためにできるだけ狭い方が良いが、逆に狭すぎるとトンネル効果により、却って漏れ電流が増加してしまうことが考えられる。このため、リークパス幅は、0.1～0.2μm程度が良いと考えられている。また、n-InP電流ブロック層37を介してn-InPクラッド層39へ流れ込む電流I₂, I₃を低減するため、n-InP電流ブロック層37は、活性層33より下に位置した方がよい。

【0038】そこで、本実施の形態では、埋込層の成長において、P-InP埋込層36（ $8 \times 10^{17} \text{ cm}^{-3}$ ）はメサ構造部Mの形状をほぼ保った形で成長することができる。しかも、上述したHC1ガスを用いたエッティングによるダメージ層の除去処理では、メサ構造部Mの側面のみ制御性良くエッティングすることができる。

【0039】従って、リークパス幅やn-InP電流ブロック層37の位置の制御が容易且つ確実であり、その結果、ウェットエッティングによりメサ構造部を形成した場合と同等の低いしきい値電流を持ち、温度特性の良い半導体レーザLDを得ることが可能である。

【0040】

【発明の効果】以上のように、本発明に係る半導体レーザの製造方法によれば、第1の工程により、半導体基板上に、バッファ層、活性層およびクラッド層を順次積層してダブルヘテロ成長層を形成する。そして、第2の工程により、ダブルヘテロ成長層にドライエッティング処理を施してメサ構造部を形成する。次いで、第3の工程により、形成されたメサ構造部を、塩素を含むガス雰囲気中で保持または昇温する。これにより、ドライエッティング処理によってメサ構造部の側面に形成されたダメージ層を除去することができる。しかも、塩素を含むガス雰囲気中で保持または昇温するのみであるから、メサ構造部の側面内での均一性を保持することができると共に、メサ構造部の形成寸法の制御性を保持することができる。その結果、ウェットエッティングによりメサ構造部を形成したのと同等の低いしきい値電流特性を有し、かつ温度特性の良い半導体レーザを得ることができる。引いては、リークパス幅や電流ブロック層構造を容易に制御でき、デバイス特性も良好な素子が得られる。

【0041】特に、上記塩素を含むガスとしては、塩化水素(HCl), 四塩化炭素(CCl₄), 塩化メチル(CH₃Cl)のうちのいずれかを採用することができ、塩素を含むガスとして、格別のものを採用する必要がないという利点がある。

【0042】さらに、塩素を含むガスとして塩化水素を用いた場合、そのガスの濃度を10%以下、その流量を1000cc/min以下とし、且つエッティング温度を300°C以上750°C以下に設定することにより、きわめて良好に上記ダメージ層のエッティング処理を行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係るP-InP基板上半導体レーザの断面構造を示す図である。

【図2】 本発明の実施の形態に係る半導体レーザの製造工程を(a)～(e)の順に示す図であり、(a)図は、ダブルヘテロ成長ウェハを形成する第1の工程を示す図、(b)図は、ドライエッティングによりメサ構造部を形成する第2の工程を示す図、(c)図は、追加エッティングにより、メサ構造部の側面に形成されたダメージ層を除去する第3の工程を示す図、(d)図は、形成されたメサ構造部の両側に埋込層を形成する工程を示す図、(e)図は、ダブルヘテロ成長ウェハにクラッド層およびコンタクト層を形成する工程を示す図である。

【図3】 HC1ガスを用いた追加エッティングのメカニズムを示す模式図であり、(a)図は、ドライエッティングによりメサ構造部を形成した状態を示す図、(b)図は、追加エッティングを施した状態を示す図である。

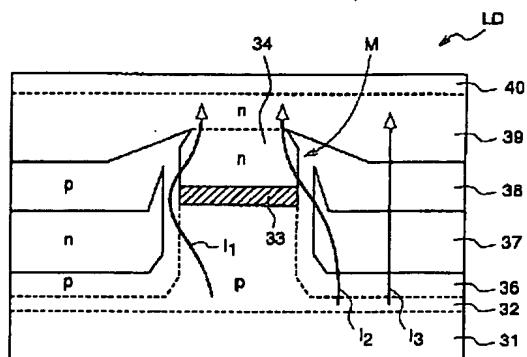
【図4】 従来の半導体レーザの製造工程を図(a)～図(d)の順に示した図であり、ウェットエッティングによりメサ構造を形成する場合を示している。

【図5】 従来の半導体レーザの製造工程を図(a)～図(e)の順に示した図であり、ドライエッティングによりメサ構造を形成し、さらにウェットエッティングを追加処理する場合を示している。

【符号の説明】

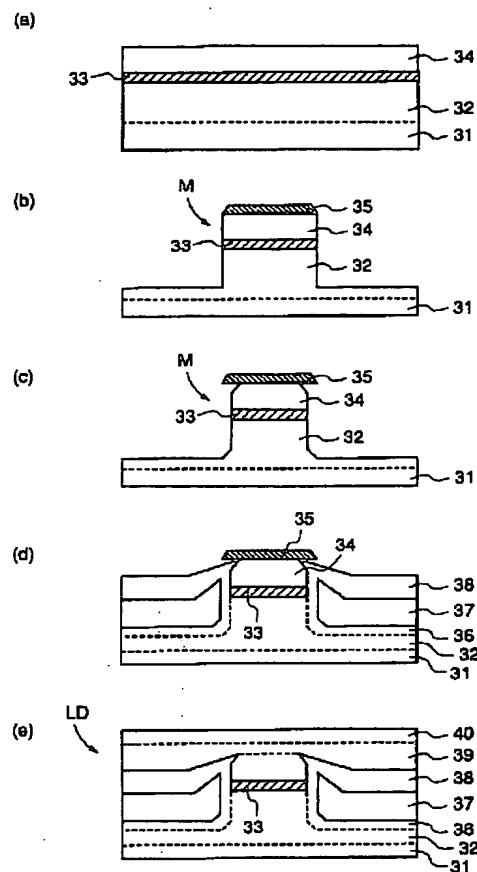
LD 半導体レーザ、M メサ構造部、31 P-InP基板、32 P-InPバッファ層、33 アンドープInGaAsP活性層、34 n-InPクラッド層、36 P-InP埋込層、37 n-InP電流ブロック層、38 P-InP電流ブロック層、39 n-InPクラッド層、40 n-InPコンタクト層。

【図1】

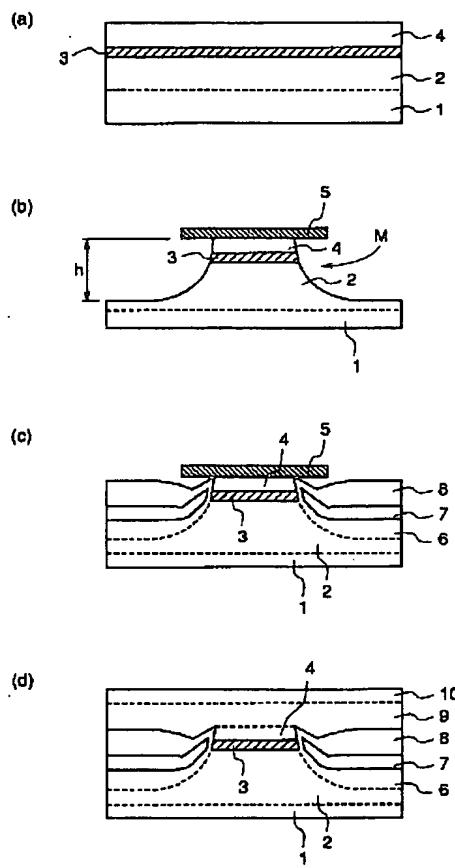


LD: 半導体レーザ
 M: メサ構造部
 31: P-InP基板
 32: P-InPバッファ層
 33: InGaAsP活性層
 34: n-InPクラッド層
 36: P-InP埋込み層
 37: n-InP電流ブロック層
 38: P-InP電流ブロック層
 39: n-InPクラッド層
 40: n-InPコンタクト層

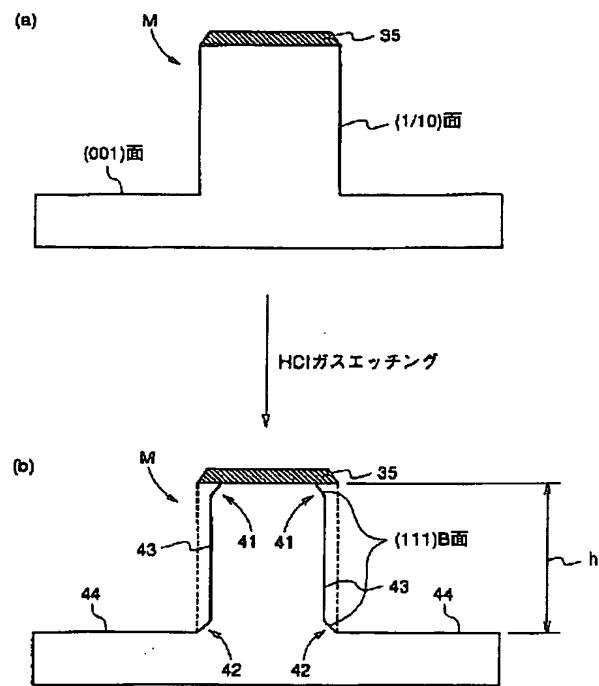
【図2】



【図4】



【図3】



【図5】

